

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-135452

(43)Date of publication of application : 22.05.1998

(51)Int.Cl.

H01L 29/78

(21)Application number : 09-293730

(71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>

(22)Date of filing : 27.10.1997

(72)Inventor : BUCHANAN DOUGLAS ANDREW
MCFEELY FENTON READ
YURKAS JOHN JACOB

(30)Priority

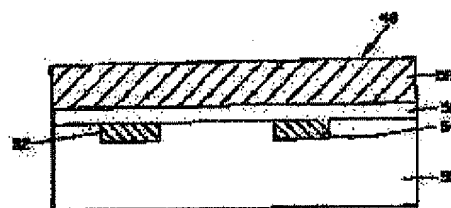
Priority number : 96 739765 Priority date : 30.10.1996 Priority country : US

(54) MANUFACTURE OF INTERMEDIATE GAP WORK FUNCTION TUNGSTEN GATE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of forming an intermediate gap work function tungsten (W) gate and a W electrode directly on a gate dielectric such as an ultra-thin gate dielectric for use in a high speed and high density advanced metal-oxide semiconductor(MOS) and a complementary metal oxide film semiconductor(CMOS) device, and an MOS device and a CMOS device each having at least one W gate or W electrode formed by the above method by chemical vapor deposition(CVD), and to enable the method to be applied to the manufacture of a W electrode which can be used in a quantum device.

SOLUTION: This method comprises the steps of (a) vapor depositing a tungsten (W) layer 58 on a gate dielectric 56 arranged on a semiconductor substrate 50 by CVD using W(CO)6 as a material substance, and (b) patterning the structure formed by the step (a) by using a lithography technique in order to form a MOS device including an intermediate gap work function W gate on the gate dielectric 56.



LEGAL STATUS

[Date of request for examination] 09.10.1998

[Date of sending the examiner's decision of rejection] 17.10.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3251889

[Date of registration] 16.11.2001

[Number of appeal against examiner's decision of rejection] 2001-000554

[Date of requesting appeal against examiner's decision of rejection] 15.01.2001

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-135452

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.⁶
H 0 1 L 29/78

識別記号

F I
H 0 1 L 29/78

3 0 1 G

審査請求 未請求 請求項の数26 O L (全 9 頁)

(21) 出願番号 特願平9-293730

(22) 出願日 平成9年(1997)10月27日

(31) 優先権主張番号 08/739765

(32) 優先日 1996年10月30日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーションINTERNATIONAL BUSIN
ESS MASCHINES CORPO
RATIONアメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 ダグラス・アンドリュース・ブカナン

アメリカ合衆国10566 ニューヨーク州
コートランド マナ イースト コーズウ
エイ 10

(74) 代理人 弁理士 坂口 博 (外1名)

最終頁に続く

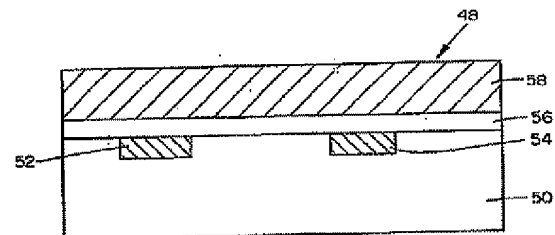
(54) 【発明の名称】 中間ギャップ作業関数タングステン・ゲートの製造方法

(57) 【要約】

【課題】 高速・高密度アドバンスド酸化金属半導体 (MOS) および相補形金属酸化膜半導体 (CMOS) デバイスに使用される超薄ゲート誘電体等のゲート誘電体上に対して直接に中間ギャップ仕事関数タングステン (W) ゲートおよびW電極を製造する方法と、該方法によって製造された少なくとも一つのCVDによるWゲートまたはW電極を持つMOSおよびCMOSデバイスを提供する。本発明の方法を量子デバイスに使用可能なW電極の製造にも適用可能とする。

【解決手段】 中間ギャップ作業関数タングステン・ゲートの製造方法は、(a) 原料物質としてW (CO)₆を使用した化学蒸着 (CVD) によって、半導体基板上に配置されているゲート誘電体上にタングステン (W) の層を蒸着する工程と、(b) ゲート誘電体上に中央ギャップ作業関数Wゲートを含むMOSデバイスを形成するために、

(a) の工程で形成された構造をリソグラフィ技術を用いてパターンニングする工程とを有する。



【特許請求の範囲】

【請求項1】金属酸化物半導体（MOS）の応用に使用される中間ギャップ作業関数タンゲステン・ゲートの製造方法であって、

（a）原料物質としてW（CO）₆を使用した化学蒸着（CVD）によって、半導体基板上に配置されているゲート誘電体上にタンゲステン（W）の層を蒸着する工程と、

（b）前記ゲート誘電体上に前記中間ギャップ作業関数Wゲートを含むMOSデバイスを形成するために、前記

（a）の工程で形成された構造をリソグラフィ技術を用いてパターニングする工程とを有する中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項2】前記ゲート誘電体は、厚さが4.0nm未満である超薄ゲート誘電体であることを特徴とする請求項1に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項3】前記超薄ゲート誘電体は、厚さが3nm未満であることを特徴とする請求項2に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項4】前記超薄ゲート誘電体は、SiO₂、窒化SiO₂、Si₃N₄、金属酸化物、およびこれらの混合物からなる群から選択されることを特徴とする請求項3に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項5】前記超薄ゲート誘電体は、SiO₂であることを特徴とする請求項4に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項6】前記半導体基板は、少なくとも一つのソース領域と少なくとも一つのドレイン領域とを備えることを特徴とする請求項1に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項7】前記半導体基板は、p型の半導体基板またはn型の半導体基板であることを特徴とする請求項1に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項8】前記半導体基板は、シリコン、SiGe、またはGaAsからなることを特徴とする請求項1に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項9】前記半導体基板は、シリコンからなることを特徴とする請求項1に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項10】前記化学蒸着（CVD）を行う工程は、250℃から500℃までの温度範囲で実施されることを特徴とする請求項1に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項11】前記化学蒸着（CVD）を行う工程は、275℃から500℃までの温度範囲で実施されることを特徴とする請求項10に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項12】前記化学蒸着（CVD）を行う工程は、1x10⁻⁶Torrから3x10⁻⁴Torrまでの圧力範囲で実施されるこ

とを特徴とする請求項1に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項13】前記化学蒸着（CVD）を行う工程は、1x10⁻⁴Torrから2x10⁻⁴Torrまでの圧力範囲で実施されることを特徴とする請求項12に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項14】前記化学蒸着（CVD）を行う工程によって得られる前記タンゲステンの層は、厚さが3.5nmから200nmまでの範囲にあることを特徴とする請求項1に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項15】前記タンゲステンの層は、厚さが50nmから100nmまでの範囲にあることを特徴とする請求項14に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項16】前記パターニングを行う工程は、前記タンゲステンの層の所定の領域上に少なくとも一つのフォトリソグラフィを配置する工程と、前記フォトリソグラフィを現像する工程と、

前記フォトリソグラフィが含まれない前記タンゲステンの層の領域をエッチングする工程とからなることを特徴とする請求項1に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項17】前記エッチングの工程は、ウェット・エッチングまたはドライ・エッチングからなることを特徴とする請求項16に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項18】前記ウェット・エッチングは、H₂O₂、リン酸、クロム酸、硝酸、およびこれらの混合物からなる群から選択される化学エッチング剤を用いて行われることを特徴とする請求項17に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項19】前記化学エッチング剤は、H₂O₂であることを特徴とする請求項18に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項20】前記ドライ・エッチングとして、反応性イオン・エッチング（RIE）、イオン・ビーム・エッチング（IBE）、およびレーザ切除によるエッチングが挙げられることを特徴とする請求項17に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項21】MOSウエハを設ける工程をさらに含み、また前記MOSウエハは、少なくとも一つのソース領域と少なくとも一つのドレイン領域とを有するp型半導体基板またはn型半導体基板であり、さらに該p型半導体基板またはn型半導体基板上に誘電体が配置されていることを特徴とする請求項1に記載の中間ギャップ作業関数タンゲステン・ゲートの製造方法。

【請求項22】タンゲステン電極を製造する方法であって、（a）原料材料としてW（CO）₆を用いる化学蒸着（CV

D)によって、誘電体をタングステンの層に蒸着する工程と、

(b) 前記誘電体上にタングステン電極を形成するために、前記タングステンの層をパターンニングする工程とを有することを特徴とするタングステン電極の製造方法。

【請求項23】ゲート誘電体上に少なくとも一つの中間ギャップ作業関数タングステン・ゲートを有するMOSデバイスであって、

前記中間ギャップ作業関数タングステン・ゲートは、請求項1に記載の方法によって形成されることを特徴とするMOSデバイス。

【請求項24】前記ゲート誘電体は、厚さが4.0nm未満である超薄ゲート誘電体であることを特徴とする請求項23に記載のMOSデバイス。

【請求項25】ゲート誘電体上に少なくとも一つの中間ギャップ作業関数タングステン・ゲートを有する電界効果トランジスタ(FET)であって、

前記中間ギャップ作業関数タングステン・ゲートは、請求項1に記載の方法によって形成されることを特徴とする電界効果トランジスタ。

【請求項26】前記ゲート誘電体は、厚さが4.0nm未満である超薄ゲート誘電体であることを特徴とする請求項25に記載の電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高速・高密度アドバンスト酸化金属半導体(MOS)および相補形金属酸化膜半導体(CMOS)デバイスに使用される超薄ゲート誘電体等のゲート誘電体上に直接に中間ギャップ仕事関数(mid-gap workfunction)タングステン(W)ゲートを製造する方法に関する。特に、本発明の中間ギャップ仕事関数Wゲートは、六塩化タングステン(以下、W(CO)₆とする)を原料物質として用いる低温・低圧化学蒸着法によって直接にゲート誘電体上に製造する。本発明の方法を量子デバイスに使用可能なW電極の製造にも適用することができる。

【0002】本発明は、電界効果トランジスタ(FET)やゲート誘電体上に、本発明の方法によって製造される少なくとも一つの中間ギャップ仕事関数Wゲートを含む単純なキャパシタ等の高速・高密度アドバンストMOSおよびCMOSデバイスに関する。

【0003】

【従来の技術】アドバンスト半導体製造の分野では、高速・高密度MOSデバイスは一般に0.1μm未満のたいへん短いチャンネル長を必要とする。既存のMOSデバイス構造を直線的にそのような短いチャンネル長に合わせることは実用的ではなく、また実行可能なものでもない。

【0004】したがって、従来のMOSデバイスの上記問題点を克服するために、ポリシリコン・ゲートを持つMOSデバイスのいくつかの新しい型、例えばシリコン・オ

ン・インシュレータ(SOI)やダブル・ゲートMOSデバイスが開発されてきた。しかし、このような従来のデバイスのすべてに共通することは、一般に厚さが約4.0nm未満のたいへん薄い誘電体を必要とする。そのような薄いゲート誘電体を持つデバイスは、可能な限り低いバイアス電圧でもって作動させなければならない。

【0005】現在のところ、閾値電圧V_Tの制御は2つのパラメータを調整することによって行われる。第1に、ポリシリコン・ゲートの仕事関数を、p-FETおよびn-FETそれぞれについて、ゲートにp⁺またはn⁺をドーピングすることで調整する。第2に、チャンネルの仕事関数を、該チャンネルとゲートとの間に許容可能な仕事関数差を設けるために、基板へ相応にドーピングすることで調節する。この仕事関数差によって内部拡散電位が与えられる。この内部拡散電位は、外部に印加されたバイアス電圧とともに作用して、デバイスのオンおよびオフを行う。

【0006】ゲート長が0.1μmよりもかなり下回るMOSデバイスでは、一つのデバイスから他のデバイスまでの局所的ドーパント濃度の変動は、容認できないほどのV_Tの分散をもたらす。したがって、アドバンストCMOSの設計は、本質的に固有のチャンネルで作られなければならない。このことは、V_Tを設定するために今まで使用された上記パラメータの一つを取り除くので、ゲート仕事関数だけが残る。

【0007】もっとも低い実現可能な外部から印加されたバイアス電圧を得るために、ゲートのフェルミ準位は、シリコンの価電子帯と伝導帯との間の中間、すなわち中間ギャップに位置すべきである。その結果、ポリシリコン・ゲートを使用する既存の技術ではこのような要求に応えることができない。したがって、精巧な超薄誘電体の加工ができるほど良好な導電率、中間ギャップ仕事関数を持つ新規ゲート材料の開発が求められている。このことには、限定されるものではないけれども、高エネルギー荷電粒子、イオン照射、超薄ゲート誘電体を腐食すると思われる腐食性薬品、および任意の好ましくないゲート材料と誘電体との間の熱力学的に固有の相互作用、例えば相互拡散、粗面化、または相互的な科学的不安定性が無いことが含まれる。ここで注目すべきことは、後に掲げられた固有の要件は、超薄誘電体にとってたいへん厳しいものである。なぜなら、許容できないほど大きな漏れ電流が誘電体の有効厚さにおけるたいへん小さな変化によって誘導されるかもしれないからである。

【0008】これらの目的および他の目的は、タングステン・ヘキサカルボニル、W(CO)₆を原料物質とする低温・低圧CVDプロセスを用いて超薄誘電体等の誘電体層に直接蒸着される中間ギャップ仕事関数Wゲートまたは電極を提供する本発明の方法に合致する。

【0009】ここで、強調しておくべきことは、CVD技

術を用いたWの蒸着は当該技術分野において熟知されたものであり、一般に実装の際に配線手段として適用されるということである。そのような用途では、W (CO) ₆ではなくタングステン・ヘキサフルオリド、WF₆が原料物質として一般に用いられる。配線の応用にタングステン・カルボニルを使用することについてはほとんど注目されてこなかった。なぜなら、適度に純粋なW膜を作る上で相対的に高温が必要とされるからである。

【0010】WF₆を用いたCVDの化学的性質を用いた中間ギャップ仕事関数Wゲートについては、従来技術にす

10 だに開示されている。しかし、このプロセスは、基本的に本発明のものとは異なる。WF₆は超薄ゲート誘電体上に直接Wを蒸着させることに使用することはできない。その代わり、化学的活性化段階においてゲート誘電体上にシリコンの薄層を最初に蒸着させ、つぎに (SiF₄ を形成するために) シリコンを反応させて除去し、そのかわりにWを残す。さらに、均一にかなり厚い酸化物膜 (250nm) の露光はいかなる例外もなしに、大規模なゲート誘電体漏れ電流が認められる完全なデバイス破損を引き起こす。CVDに加えて他の技術が用いられてきたが、従来のプロセスのいずれも超薄ゲート誘電体上に直接Wを蒸着することはできない。

【0011】配線の用途にタングステン・カルボニルがかなり使用されているにもかかわらず、超薄ゲート誘電体等の誘電体上に中間ギャップ仕事関数Wゲートを設けるためにW (CO) ₆をCVD原料物質として使用することは開示されていない。

【0012】

【発明が解決しようとする課題】本発明の第1の目的は、ほとんどの従来のプロセスによって一般に必要とされるような任意の化学的活性化準備段階の必要性なしに

30 MOSおよびCMOS用途に使用するために超薄ゲート誘電体等のゲート誘電体に直接中間ギャップ作業関数Wゲートを製造するための方法を提供することである。

【0013】本発明の第2の目的は、高純度 (99.99%以上) で、かつ一般に約5ないし6 $\mu\text{ohm-cm}$ である理想的なバルク値に近似する抵抗値を持つ超薄ゲート誘電体等のゲート誘電体と合致する中間ギャップ作業関数Wゲートの製造方法を提供することである。

【0014】本発明の第3の目的は、原料物質としてW (CO) ₆を用いた低温度・低圧力CVDプロセスを含む誘電体上に直接W電極を製造する方法を影響することである。

【0015】本発明の第4の目的は、原料物質としてW (CO) ₆を用いたCVDによってゲート誘電体上に直接蒸着された本発明の少なくとも一つのWゲートを含むFET等のMOSおよびCMOSデバイスに関する。

【0016】

【課題を解決するための手段】これらの目的は他の目的と同様に、原料物質としてW (CO) ₆を使用した低温・低

50

圧CVD技術を用いることで本発明によって達成される。特に、本発明の方法は、(a) 薄膜ゲート誘電体のような誘電体上にWの均一層を直接蒸着する工程と、(b) 前記誘電体上に前記中間ギャップ作業関数Wゲートを含むMOSデバイスを形成するために、標準的なリソグラフィック技術を用いて、工程(a)で形成された構造をパターンニングする工程とを有する。ここで強調すべきことは、本発明では誘電体上にW層を蒸着する上で化学的活性化段階を必要としない。

【0017】本発明はまた、本発明の方法にもとづいて調製された少なくとも一つの中間ギャップ作業関数Wゲートを含むFET等のMOSデバイスを提供すること。本発明にもとづくこのデバイスは、既存の技術にもとづいて調製された従来のデバイスに匹敵するゲート漏れ電流を示し、さらに金属ゲート作業関数に対する理論的値を示す。

【0018】さらに、本発明は量子デバイスで使用するためのW電極を製造する方法を提供する。本発明のこの実施形態例によれば、W電極は(a) 誘電体上にWからなる層を蒸着する工程と、前記誘電体上に前記W電極を形成するために前記W層をパターンニングする工程とを有し、さらに前記蒸着はW (CO) ₆を原料物質として用いる化学蒸着法によって行われる方法によって製造される。

【0019】

【発明の実施の形態】上記したように、本発明は中間ギャップ作業関数WゲートまたはW電極を、いっさいの化学的活性化工程を必要とすることなし、MOSデバイス上に存在する誘電体上に直接設ける方法を提供する。本発明にもとづいて作られる中間ギャップ作業関数WゲートまたはW電極は、高純度であり、MOSデバイス上に見いだされる超薄ゲート誘電体との適合性を有し、さらに理想的なバルク値に近似した固有抵抗値を持つ。

【0020】本発明の方法によれば、誘電体上にW層を形成するのに十分な条件下で原料材料としてW (CO) ₆を用いたCVDを採用することによって、Wからなる層を半導体基板の表面にある誘電体の表面に直接蒸着する。当業者が熟知している従来の技術を用いて、W層を含むそのような構造をパターンニングする。

【0021】図1は、W層を蒸着するために本発明に適用される典型的なCVD装置10を示す。特に、装置10は、試験MOSウエハが置かれるグラファイト試料ホルダ・カートリッジ (不図示) を有するローダーロック・ステンレス合金製反応室12が備わっている。この反応室12は、さらに蒸着中に試料を加熱するためのヒータ・アセンブリ18と蒸着中の圧力を制御する2つの超高真空管16および20とを備える。

【0022】原料物質14、タングステン・ヘキサカルボニル、W (CO) ₆は、ステンレス合金製バルブ22を介して反応室12に導入され、かつ管24によって反応室12内に入れた試験MOSウエハに向けられる。

【0023】本発明では任意の等級のW(CO)₆を使用することができよう。もし低純度の等級のW(CO)₆を用いるとするならば、当業者に既知の精製技術を用いて反応室12への導入に先だって精製することができる。

【0024】約250℃から約600℃の温度でもってW(CO)₆のCVDが起こる。より好ましくは、WのCVD蒸着は約275℃から約500℃の温度でもって起こる。CVD中の反応室の圧力は、 1×10^{-6} Torrないし約 3×10^{-4} Torrである。より好ましくは、W(CO)₆のCVDは、約 1×10^{-4} Torrないし約 2×10^{-4} Torrである。

【0025】CVDプロセスの実行に要する時間は、一般に約3分から約4時間までの範囲である。この範囲よりも長い時間あるいは短い時間もここで考察する。

【0026】上記条件下で、厚さが約3.5ないし約200、より好ましくは約50ないし100nmであるWからなる層を、誘電体上に直接蒸着させる。

【0027】本発明に用いられる典型的なMOSウエハを図3に示す。特に、本発明に適用されうるMOSウエハ48は、少なくとも1つのドレイン領域52と少なくとも一つのソース領域54とを有し、かつこれらの領域が組み入れられた半導体基板50から構成される。また、ドレイン領域52およびソース領域54を半導体基板50の表面に配置してもよい。半導体基板50の表面には、誘電体56からなる層が配置されている。W58からなる層は、既に述べたCVD技術によってゲート誘電体層56の上面に形成される。

【0028】本発明で使用してもよい半導体基板50は、限定されるものではないが、シリコン、SiGe、またはGaAsである。半導体基板としては、シリコンがもっとも好ましい。

【0029】製造されている所望のMOSデバイスに応じて、本発明で用いる半導体基板をp-型またはn-型とすることができる。基板は、当業者に既知の技術を用いて製造することができる。半導体基板の厚さは、本発明の方法にとっては重要なことではない。製造されている所望のデバイスに応じて厚さを変えてもよい。

【0030】本発明で用いる超薄誘電体としては、SiO₂、窒化SiO₂、Si₃N₄、金属酸化物、およびこれらの混合物または化合物が挙げられる。本発明で用いる誘電体を、当業者に既知の方法でもって成長、蒸着、または反応させてもよい。ここで言及したゲート誘電体のため、SiO₂または軽く窒化SiO₂ (全窒素含有量5%以下) が現時点ではかなり好ましいものとなっている。

【0031】本発明の別のかなり好ましい実施形態例では、超薄ゲート誘電体を用いる。「超薄」という用語は、上記に定義したようなゲート誘電体を意味する。この材料の全体の厚さは、デバイスに組み込まれ、かつ通常の状態で作動させた場合に、ゲート漏れ電流の大部分が直接的なトンネル形成の結果によるものとなるような厚さである。特にSiO₂では、このことは約4.0nm未満の厚さに一致する。よりいっそう明確には、「超薄」とい

う用語は、約3.0nm未満の厚さを持つゲート誘電体を意味する。

【0032】W層58を蒸着させた後、図2に示すMOSウエハを当業者に既知の標準的なリソグラフィ技術を用いてパターンニングする。この工程には、限定されるものではないが、化学蒸着(CVD)したW層の表面にフォトリジストを位置決めする段階と、フォトリジストを現像する段階と、フォトリジストがない領域をエッチング技術によって除去する段階とを含む。パターンニング後の最終構造60を図3に示す。

【0033】エッチングは、当業者に既知のウェット・エッチングあるいはドライ・エッチングの技術を用いて行うことができる。ウェット・エッチングを採用する場合、化学エッチング剤はH₂O₂、クロム酸、リン酸、酢酸硝酸等からなる群から選択される。本発明において好ましい化学エッチング剤は、H₂O₂である。化学エッチング剤からなる混合物単独で、あるいは該混合物に水を加えたものもここで検討される。

【0034】本発明においてドライ・エッチングが採用される場合、反応性イオン・エッチング(RIE)、イオン・ビーム・エッチング(IBE)、またはレーザ切除によってエッチングを行ってもよい。これらのドライ・エッチング技術の各々は、当業者によく知られたものである。

【0035】本発明はまた、発明の方法によって作製された超薄ゲート誘電体上に少なくとも一つの中間ギャップ作業関数Wゲートをデバイス構造内に含むMOSデバイスに関する。本発明にもとづいて調製された一つの中間ギャップ作業関数Wゲートを含む単純化されたMOSデバイスを図3に示す。デュアル・ゲートMOSデバイスのような2つ以上のMOSゲートを有するデバイスもここで検討される。

【0036】他のMOSデバイス、例えば電解効果トランジスタ(FET)、単純キャパシタ構造、電解放出デバイス、および量子デバイスもまたここで検討される。これらの構造全体に共通なことは、本発明の方法にもとづいて製造される少なくとも一つの中間ギャップ作業関数WゲートまたはW電極が誘電体上に直接設けられていることである。

【0037】以下の実施例は、本発明の範囲を説明するためのものである。この実施例はただ単に説明を目的したものであることから、本発明の実施形態例はそれに限定されてはならない。

【0038】実施例1

厚さが2.8~7.0nmの範囲内にある熱成長二酸化珪素薄膜を用いて試験構造を製造した。個々のキャパシタを100nm熱成長フィールド酸化物を用いて絶縁した。約0.1ないし0.2ohm-cmの抵抗率を持つp型ウエハおよびn型ウエハの両方に膜を成長させた。

【0039】タングステン膜を一括して試験ウエハ上に

蒸着した。特にW蒸着は約 10^{-9} torrのベース圧力を持ち、荷重がロックされたステンレス合金製反応室内で行われた。タングステン・ヘキサカルボニル、W (CO)₆を原料気体として用いた。また、このW (CO)₆をステンレス合金バルブ経由で反応室に放出するとともに、銅管を介して試料上に向けた。試料をグラファイト製試料ホルダ・カートリッジに導入し、次に反応室チャンパ内に位置したヒータ・アセンブリに導入した。約500℃で蒸着を行った。この系における成長速度は、概して約1.5 nm/分であり、大ざっぱにいうと温度に依存したものではなく、輸送が限定された成長の仕方を示す。

【0040】W膜の蒸着後、標準的なリソグラフィ技術を用いてデバイスをパターンニングした。各デバイスのタングステン膜に対して、H₂O₂を用いたウェット・エッチングを施した。これによって約 10^{-6} から約 10^{-2} cm²までの範囲の面積を持つキャパシタ構造が形成された。

【0041】上記のようにして形成されたキャパシタを高周波数および準静的キャパシタンスー電圧 (C-V) および電流ー電圧技術を用いて試験した。図4および図5は、約3.0ないし7.0 nmキャパシタの厚さを持つWゲート酸化膜により形成されたWゲート・キャパシタ構造に関する典型的なC-Vデータを示す。データは、p型およびn型シリコン・ウェハの両方とも含まれるデバイスに関するものである。破線および実線は、約30分間にわたって450℃で10% H₂含有窒素中で実行される標準的な後金属ゲート蒸着成形ガス・アニーリング (FGA) 段階の前および後のC-Vデータを示すものである。図6および図7は、それぞれ処理通りの構造およびFGA構造のC-V特性を示す。

【0042】C-Vデータを分析すると、FGA処理された試料について低 10^{11} cm⁻² ev⁻¹の境界状態密度が示される。平坦なバンド電圧は、n型シリコン・ウェハでは約0.3ボルトであり、p型シリコン・ウェハでは約-0.3ボルトである。このことは、それ自身のなかで、金属ゲートの準位はシリコン中間ギャップにたいへん近いところに位置していることを示している。このことはまた、図4および図5のy軸でのC-V曲線の対称性を示している。基板はn型およびp型の基板の両方ともにドーピング濃度がほぼ同一であることから、電圧の軸について完全な対称性を中間ギャップ金属作業関数ゲートが示すであろうことが予想できよう。

【0043】上記キャパシタ構造からの電流ー電圧データは、図6および図7に示すように、タングステン・ゲートおよびシリコン基板の相対的フェルミ準位と一致している漏れ電流を示している。

【0044】これらのデータによって、タングステン・ゲート・キャパシタが図6に示すような標準的なポリシリコンをベースとしたキャパシタによって示される漏れ電流と同等の低さの漏れ電流を持つことが示される (妥当な比較を行うために、漏れ電流は真のゲート誘電体電

圧降下、 $V_{ox} = V_{gate} - V_{fs}$ の関数として比較した)。この結果は、厚さ、7.0 nmゲート誘電体についてのみ得たものではなく、超薄3.0 nm誘電体膜についても求めた。タングステン・ゲートを作る (他の技術によって) ために他の研究者による以前の試みは、厚さが7.0 nmの膜であってもこの要求を達成することはできない。

【0045】本発明を詳細に示し、かつ好ましい実施形態例によって記載してきた一方で、形態および記載において上述および他の変更は本発明の精神および範囲から離れることなく実施することは当業者によって容易に理解されよう。

【0046】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) 金属酸化物半導体 (MOS) の応用に使用される中間ギャップ作業関数タングステン・ゲートの製造方法であって、(a) 原料物質としてW (CO)₆を使用した化学蒸着 (CVD) によって、半導体基板上に配置されているゲート誘電体上にタングステン (W) の層を蒸着する工程と、(b) 前記ゲート誘電体上に前記中間ギャップ作業関数Wゲートを含むMOSデバイスを形成するために、前記(a)の工程で形成された構造をリソグラフィ技術を用いてパターンニングする工程とを有する中間ギャップ作業関数タングステン・ゲートの製造方法。

(2) 前記ゲート誘電体は、厚さが4.0 nm未満である超薄ゲート誘電体であることを特徴とする上記(1)に記載の中間ギャップ作業関数タングステン・ゲートの製造方法。

(3) 前記超薄ゲート誘電体は、厚さが3 nm未満であることを特徴とする上記(2)に記載の中間ギャップ作業関数タングステン・ゲートの製造方法。

(4) 前記超薄ゲート誘電体は、SiO₂、窒化SiO₂、Si₃N₄、金属酸化物、およびこれらの混合物からなる群から選択されることを特徴とする上記(3)に記載の中間ギャップ作業関数タングステン・ゲートの製造方法。

(5) 前記超薄ゲート誘電体は、SiO₂であることを特徴とする上記(4)に記載の中間ギャップ作業関数タングステン・ゲートの製造方法。

(6) 前記半導体基板は、少なくとも一つのソース領域と少なくとも一つのドレイン領域とを備えることを特徴とする上記(1)に記載の中間ギャップ作業関数タングステン・ゲートの製造方法。

(7) 前記半導体基板は、p型の半導体基板またはn型の半導体基板であることを特徴とする上記(1)に記載の中間ギャップ作業関数タングステン・ゲートの製造方法。

(8) 前記半導体基板は、シリコン、SiGe、またはGaAsからなることを特徴とする上記(1)に記載の中間ギャップ作業関数タングステン・ゲートの製造方法。

(9) 前記半導体基板は、シリコンからなることを特徴とする上記(1)に記載の中間ギャップ作業関数タング

ステン・ゲートの製造方法。

(10) 前記化学蒸着 (CVD) を行う工程は、250℃から500℃までの温度範囲で実施されることを特徴とする上記(1)に記載の中間ギャップ作業関数タングステン・ゲートの製造方法。

(11) 前記化学蒸着 (CVD) を行う工程は、275℃から500℃までの温度範囲で実施されることを特徴とする上記(10)に記載の中間ギャップ作業関数タングステン・ゲートの製造方法。

(12) 前記化学蒸着 (CVD) を行う工程は、 1×10^{-6} Torrから 3×10^{-4} Torrまでの圧力範囲で実施されることを特徴とする上記(1)に記載の中間ギャップ作業関数タングステン・ゲートの製造方法。

(13) 前記化学蒸着 (CVD) を行う工程は、 1×10^{-4} Torrから 2×10^{-4} Torrまでの圧力範囲で実施されることを特徴とする上記(12)に記載の中間ギャップ作業関数タングステン・ゲートの製造方法。

(14) 前記化学蒸着 (CVD) を行う工程によって得られる前記タングステンの層は、厚さが3.5nmから200nmまでの範囲にあることを特徴とする上記(1)に記載の中間ギャップ作業関数タングステン・ゲートの製造方法。

(15) 前記タングステンの層は、厚さが50nmから100nmまでの範囲にあることを特徴とする上記(14)に記載の中間ギャップ作業関数タングステン・ゲートの製造方法。

(16) 前記パターニングを行う工程は、前記タングステンの層の所定の領域上に少なくとも一つのフォトレジストを配置する工程と、前記フォトレジストを現像する工程と、前記フォトレジストが含まれない前記タングステンの層の領域をエッチングする工程とからなることを特徴とする上記(1)に記載の中間ギャップ作業関数タングステン・ゲートの製造方法。

(17) 前記エッチングの工程は、ウェット・エッチングまたはドライ・エッチングからなることを特徴とする上記(16)に記載の中間ギャップ作業関数タングステン・ゲートの製造方法。

(18) 前記ウェット・エッチングは、 H_2O_2 、リン酸、クロム酸、硝酸、およびこれらの混合物からなる群から選択される化学エッチング剤を用いて行われることを特徴とする上記(17)に記載の中間ギャップ作業関数タングステン・ゲートの製造方法。

(19) 前記化学エッチング剤は、 H_2O_2 であることを特徴とする上記(18)に記載の中間ギャップ作業関数タングステン・ゲートの製造方法。

(20) 前記ドライ・エッチングとして、反応性イオン・エッチング (RIE)、イオン・ビーム・エッチング (IBE)、およびレーザ切除によるエッチングが挙げられることを特徴とする上記(17)に記載の中間ギャップ作業関数タングステン・ゲートの製造方法。

(21) MOSウエハを設ける工程をさらに含み、また前

記MOSウエハは、少なくとも一つのソース領域と少なくとも一つのドレイン領域とを有するp型半導体基板またはn型半導体基板であり、さらに該p型半導体基板またはn型半導体基板上に誘電体が配置されていることを特徴とする上記(1)に記載の中間ギャップ作業関数タングステン・ゲートの製造方法。

(22) タングステン電極を製造する方法であって、

(a) 原料材料としてW (CO)₆を用いる化学蒸着 (CVD) によって、誘電体をタングステンの層に蒸着する工程と、(b) 前記誘電体上にタングステン電極を形成するために、前記タングステンの層をパターニングする工程とを有することを特徴とするタングステン電極の製造方法。

(23) ゲート誘電体上に少なくとも一つの中間ギャップ作業関数タングステン・ゲートを有するMOSデバイスであって、前記中間ギャップ作業関数タングステン・ゲートは、上記(1)に記載の方法によって形成されることを特徴とするMOSデバイス。

(24) 前記ゲート誘電体は、厚さが4.0nm未満である超薄ゲート誘電体であることを特徴とする上記(23)に記載のMOSデバイス。

(25) ゲート誘電体上に少なくとも一つの中間ギャップ作業関数タングステン・ゲートを有する電界効果トランジスタ (FET) であって、前記中間ギャップ作業関数タングステン・ゲートは、上記(1)に記載の方法によって形成されることを特徴とする電界効果トランジスタ。

(26) 前記ゲート誘電体は、厚さが4.0nm未満である超薄ゲート誘電体であることを特徴とする上記(25)に記載の電界効果トランジスタ。

【図面の簡単な説明】

【図1】超薄ゲート誘電体上にWを直接蒸着するため、本発明に適用される典型的なCVD装置の構成を説明するための模式的平面図である。

【図2】本発明にもとづく方法にもとづいて調製された典型的なMOSデバイスの構成を示すもので、Wを蒸着した後の断面図である。

【図3】本発明にもとづく方法にもとづいて調製された典型的なMOSデバイスの構成を示すもので、パターニングを施した後の断面図である。

【図4】本発明にもとづいて形成された厚さ3.0nmのWゲート・キャパシタ構造のキャパシタンスと電圧との関係を示すキャパシタンスー電圧曲線図であり、図中、破線は成長した際の関係を示し、実線は成形ガス・アニーリング (FGA) を行った後の関係を示す。

【図5】本発明にもとづいて形成された厚さ7.0nmのWゲート・キャパシタ構造のキャパシタンスと電圧との関係を示すキャパシタンスー電圧曲線図であり、図中、破線は成長した際の関係を示し、実線は成形ガス・アニーリング (FGA) を行った後の関係を示す。

13

【図6】本発明にもとづいて形成された厚さ3.0nmのWゲート・キャパシタ構造の電流と電圧との関係を示す電流-電圧曲線図であり、図中、破線は成長した際の関係を示し、実線は成形ガス・アニーリング (FGA) を行った後の関係を示す。

【図7】本発明にもとづいて形成された厚さ7.0nmのWゲート・キャパシタ構造の電流と電圧との関係を示す電流-電圧曲線図であり、図中、破線は成長した際の関係を示し、実線は成形ガス・アニーリング (FGA) を行った後の関係を示す。

【符号の説明】

10 CVD装置

12 ロードロック・ステンレス合金製反応室

14

原料物質

16

超高真空管

18

ヒータ・アセンブリ

20

超高真空管

22

ステンレス合金製バルブ

24

管

48

MOSウエハ

50

半導体基板

52

ドレイン領域

10 54

ソース領域

56

誘電体からなる層 (ゲート誘電体層)

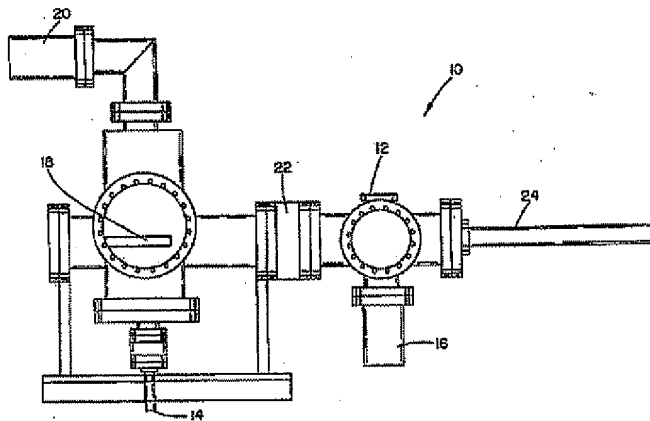
58

タングステン (W) からなる層

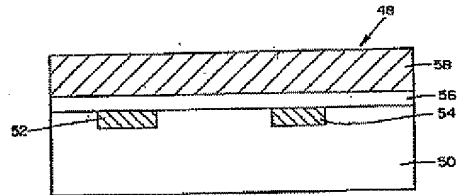
60

最終構造

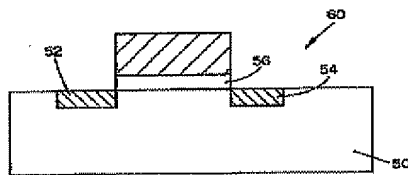
【図1】



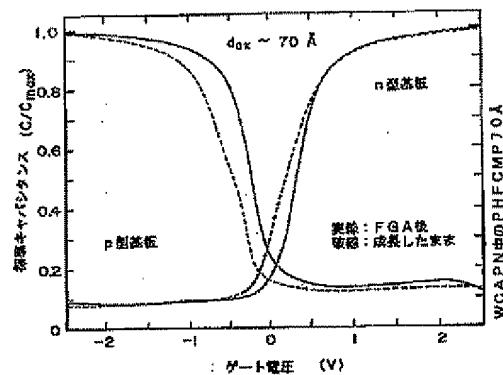
【図2】



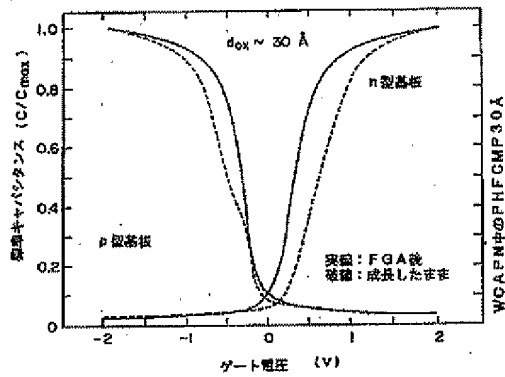
【図3】



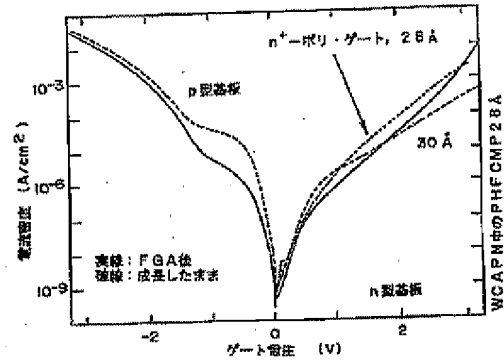
【図4】



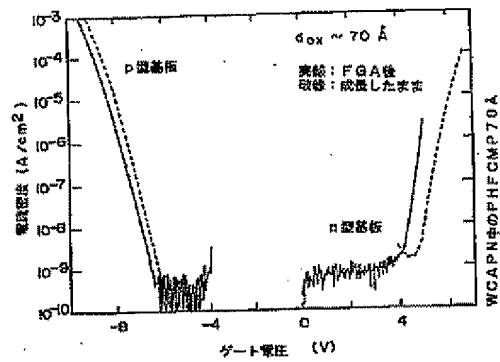
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 フェントン・リード・マクフェリィー
アメリカ合衆国10562 ニューヨーク州
オッシニング ドナルド レーン 25

(72)発明者 ジョン・ヤコブ・ユークス
アメリカ合衆国06905 コネティカット州
スタンフォード ハイ アヴェニュー